

2.4G 配置

一. 上电校准

1. 芯片上电后等待 10ms，然后进行软复位（Soft_rst），Soft_rst 在 bank0 的 FEATURE 寄存器中；
2. 在 bank0 的 DYNPD 寄存器中把 Bypass_io 置 0，关掉 IO 复用功能，否则 MOSI 会有电平冲突；如果需要 4 线 SPI，把 Spi4_en 置 1，如果需要 3 线 SPI，Spi4_en 用默认值 0；
3. 在 bank0 的 CONFIG 寄存器中把 PWR_UP 置 1，打开晶振，然后延时 3ms 让晶振启动；
4. 在 bank0 的 PMU_CTL 中把 RF_PWRDWN 置 00，让芯片进入工作模式；延时 1ms，让数字开电；
5. 在 bank0 的 FEATURE 寄存器中把 vco_amp_tx_mux 置 0，ECO 之后的 A2 版本无需配置此寄存器；
6. 在 bank1 的 TEST_PKDET 中把 pll_vdiv2_sel 置 01，ECO 之后的 A2 版本无需配置此寄存器；
7. 拉 CE pulse，CE pulse 宽度大于 40us，然后在 bank0 的 RF_SETUP 中查询 CAL_DONE，CAL_DONE=1 表示校准完成；

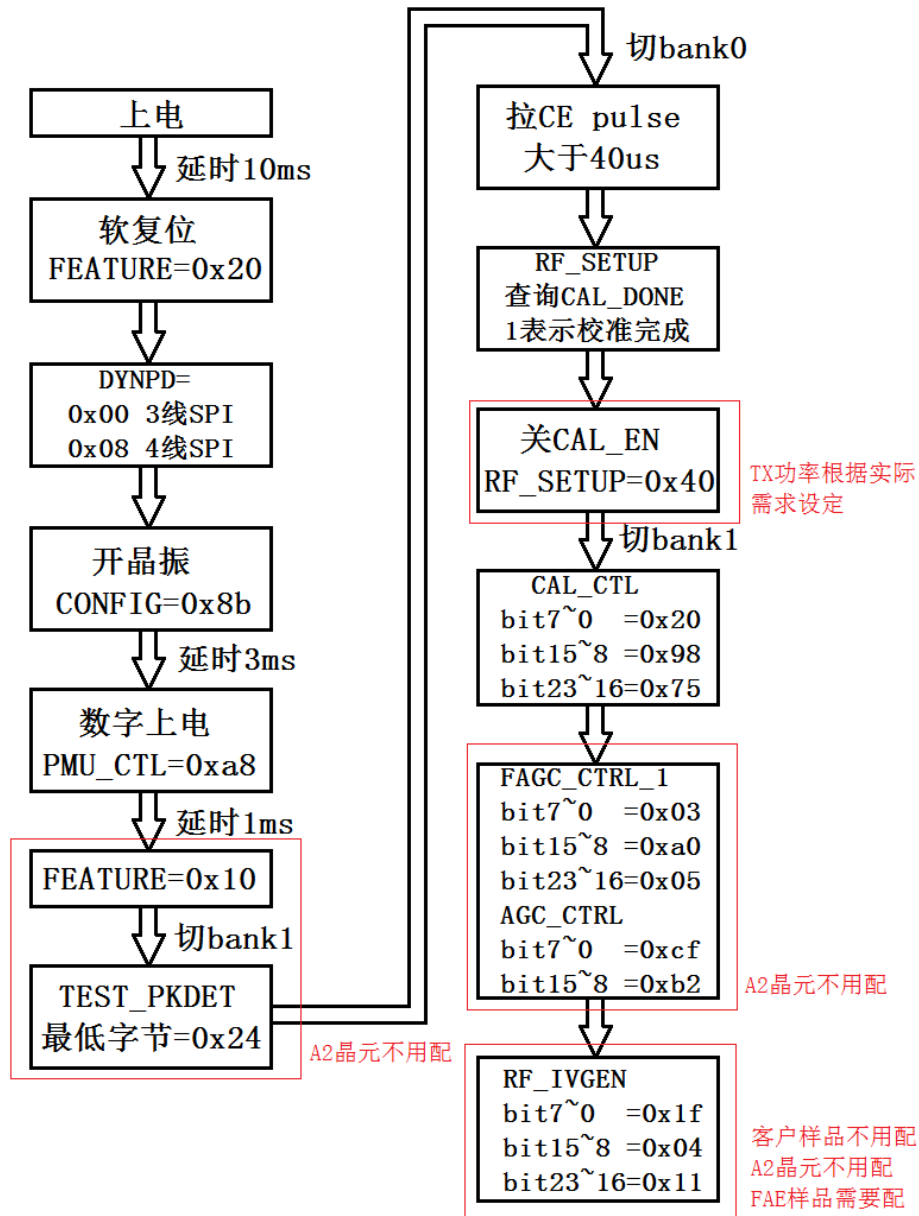
二. 初始化

1. 在 bank0 的 RF_SETUP 中把 CAL_EN 置 0；
2. 在 bank1 的 CAL_CTL 寄存器中把 Bp_dac、Bp_rc、Bp_vco_ldo 和 Bp_vco_amp 都置 1，CAL_CTL 配置为 0x28 0x75 0x98 0x20（高字节在前）
3. 配置 bank1 的 FAGC_CTRL_1 和 AGC_CTRL 寄存器设定 filter_gain 高阈值（719）和低阈值（90），FAGC_CTRL_1 = 0x09 0x05 0xa0 0x03，AGC_CTRL = 0x09 0xb2 0xcf，ECO 之后的 A2 版本无需配置这两个寄存器；
4. 在 bank1 的 RF_IVGEN 寄存器中，还有一个常开 LNA 的设置，Pd_Ina_mn=1 & Pd_Ina_reg=0，常开 LNA 可以改善接收灵敏度，但是会增大 TX 电流，FAE 手上的样品需要配置此寄存器，发给客户的样品是 R 版（chip ID = 0x06 0x11），无需配置此寄存器，ECO 之后的 A2 版本也无需配置此寄存器；

三. 操作注意事项

1. 从工作模式（RF_PWRDWN=00）到深睡眠模式（RF_PWRDWN=01）需要延时 1ms 才能操作 SPI；
2. 在深睡眠模式下，数字电压较低，仅 950mV 左右，要求软件尽量不要做读 SPI 的操作；
3. 用户可以选择是否开启白化（scramble_en）功能，这个控制字在 bank0 的 EN_RXADDR 寄存器里，默认是开启的；
4. 用户可以选择是否打开高斯滤波器（BP_GAU），这个控制字在 bank0 的 FEATURE 寄存器里，默认不打开；
5. 上述校准和初始化配置是针对 1Mbps 的，如果用 2Mbps，需要做如下修改：
 - （1） 在 bank0 的 RF_SETUP 寄存器中把 RF_DR_HIGH 置 1；
 - （2） 在 bank1 的 PLL_CTL0 寄存器中把 PLL_FOFFSET_SEL 置 10；
 - （3） 把 bank1 的 FDEV 寄存器置 0x29；
 - （4） 在 bank0 的 RX_CTRL 寄存器中把 h_idx 置 01；

附录一：HS6220 上电校准和初始化流程图



附录二：HS6220 休眠和唤醒流程图

HS6220 的休眠和唤醒控制，涉及到 CONFIG 和 PMU_CTL 两个寄存器（都在 bank0），CONFIG 中的 Bit1 PWR_UP 控制晶振的开关；PMU_CTL 中的 Bit1~0 RF_PWRDWN[1:0]控制模式选择。

- PWR_UP=0：关闭晶振
- PWR_UP=1：开启晶振
- RF_PWRDWN[1:0]=01：深睡眠模式
- RF_PWRDWN[1:0]=00：工作模式

CONFIG (RW) Address: 00h

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Tx_gurd_en	MASK_RX_ DR	MASK_TX_ DS	MASK_MA X_RT	EN_CRC	CE_REG	PWR_UP	PRIM_RX
1	0	0	0	1	0	0	1
RW	RW	RW	W	RW	RW	RW	RW

开关晶振

PMU_CTL (RW) Address: 03h

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Rtc32k_rdy_ enb_reg	Rtc32k_rdy_ enb_mn	Digldo_enb_ dly_reg	Digldo_enb_ mn	Digldo_enb_r eg	rtc32k_en	RF_PWRDWN[1:0]	
1	0	1	0	1	0	01	
RW	RW	RW	RW	RW	RW	RW	

模式选择

